

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-272546  
 (43)Date of publication of application : 08.10.1999

(51)Int.Cl. G06F 12/04  
 G06F 7/00

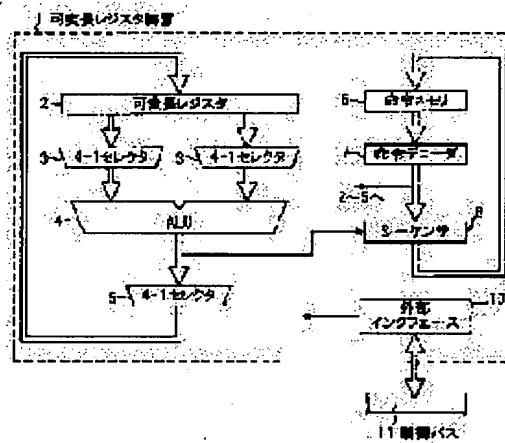
(21)Application number : 10-073939 (71)Applicant : NEC CORP  
 NEC TELECOM SYST LTD  
 (22)Date of filing : 23.03.1998 (72)Inventor : ASHIHARA KOJI  
 UNO KOSUKE  
 SHIMURA NAOKI

## (54) VARIABLE LENGTH REGISTER DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a variable length register device which can be used not only as a memory address specification but also as a general purpose register.

**SOLUTION:** A memory 6 issues an instruction to access a variable length register 2. A decoder 7 interprets the access instruction from the memory 6 and generates an identifier for specifying the variable length register 2 and an identifier for specifying a use area. A first selector 3, based on the identifier from the decoder 7, reads data stored in the specified use area of the specified variable length register 2, and the use areas are matched. An operation logical circuit 4 operates data from the first selector 3. Then, a second selector 5 reads data of the operation logical circuit 4, matches the use areas and stores the data in the variable length register 2.



## LEGAL STATUS

[Date of request for examination] 23.03.1998

[Date of sending the examiner's decision of rejection] 19.02.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

**BEST AVAILABLE COPY**

[decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-272546

(43)公開日 平成11年(1999)10月 8 日

(51) Int.Cl.<sup>6</sup>  
G 06 F 12/04  
7/00

識別記号  
540

F I  
G 06 F 12/04  
7/00

540A  
R

審査請求 有 請求項の数 4 O.L (全 5 頁)

(21)出願番号 特願平10-73939

(22)出願日 平成10年(1998)3月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(71)出願人 000232106

日本電気テレコムシステム株式会社  
神奈川県川崎市中原区小杉町1丁目403番  
地

(72)発明者 芦原 浩司

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 弁理士 平田 忠雄

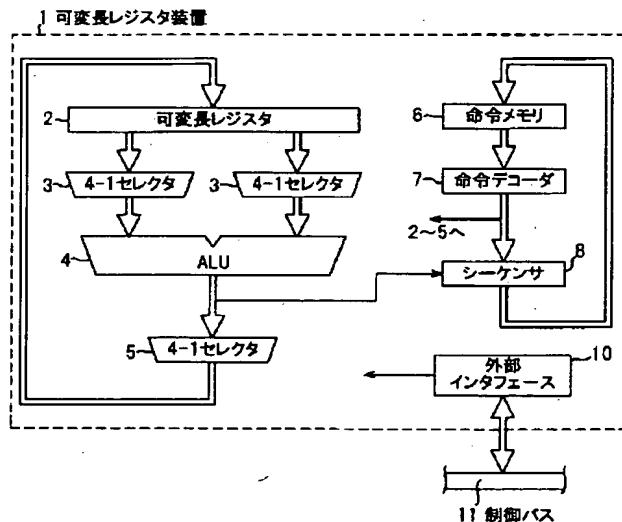
最終頁に統ぐ

(54) 【発明の名称】 可変長レジスタ装置

(57) 【要約】

【課題】 メモリのアドレス指定用として利用できるだけでなく、汎用レジスタとして利用できる可変長レジスタ装置を提供すること。

【解決手段】 メモリ 6 が、可変長レジスタ 2 をアクセスする命令を発行する。デコーダ 7 が、前記メモリからのアクセス命令を解釈して、前記可変長レジスタを特定する識別子と使用エリアを指定する識別子を生成する。第 1 セレクタ 3 が、前記デコーダからの識別子に従って、特定された可変長レジスタの指定された使用エリアに格納されているデータを読み出し、使用エリアの整合をとる。演算論理回路 4 が、前記第 1 セレクタからのデータを演算する。そして、第 2 セレクタが、前記演算論理回路のデータを読み出し、使用エリアの整合をとってデータを前記可変長レジスタに格納する。



**BEST AVAILABLE COPY**

## 【特許請求の範囲】

【請求項 1】 所定のビット数のレジスタと、所定のプログラムを格納したメモリと、前記メモリから読み出された前記所定のプログラムを解読して前記レジスタの前記所定のビット数中の使用ビット数と前記使用ビット数の前記レジスタ中のエリアを指定する命令を出力する命令デコーダを備えたことを特徴とする可変長レジスタ装置。

【請求項 2】 可変長レジスタをアクセスする命令を発行するメモリと、前記メモリからのアクセス命令を解釈して、前記可変長レジスタを特定する識別子と使用エリアを指定する識別子を生成するデコーダと、前記デコーダからの識別子に従って、特定された可変長レジスタの指定された使用エリアに格納されているデータを読み出し、使用エリアの整合をとる第 1 セレクタと、前記第 1 セレクタからのデータを演算する演算論理回路と、

前記演算論理回路のデータを読み出し、使用エリアの整合をとってデータを前記可変長レジスタに格納する第 2 セレクタとを備えたことを特徴とする可変長レジスタ装置。

【請求項 3】 前記デコーダが、前記第 1 および第 2 のセレクタおよび前記演算論理回路への制御信号を生成して前記第 1 および第 2 のセレクタおよび前記演算論理回路へ伝達する請求項 2 に記載の可変長レジスタ装置。

【請求項 4】 前記デコーダが、前記デコーダとメモリの間のシーケンスを制御するシーケンサに接続され、前記演算論理回路が、各種制御フラグ情報を生成して前記シーケンサへ伝達する請求項 2 に記載の可変長レジスタ装置。

## 【発明の詳細な説明】

## 【0 0 0 1】

【発明の属する技術分野】 本発明は、コンピュータ等で一時記憶装置として利用されるレジスタ装置に関し、特にレジスタ長やレジスタ本数を可変とすることができる可変長レジスタ装置に関するものである。

## 【0 0 0 2】

【従来の技術】 従来の可変長レジスタ装置として、例えば、特開平4-76748号公報に示されるものがある。この可変長レジスタ装置は、Nビットの第1のレジスタの下位nビット( $N > n$ )を選択して出力する第1のセレクタと、Nビットの第2のレジスタの上位( $N - n$ )ビット( $N > n$ )を選択して出力する第2のセレクタと、第1および第2のセレクタの出力を入力して論理和の演算を行うことによってNビットのデータを出力する演算回路を有している。この可変長レジスタ装置は、メモリのバンクアドレスをソフトウェアで切り換えることによってメモリの有効利用を図るときに利用される。

## 【0 0 0 3】

【発明が解決しようとする課題】 しかし、特開平4-76748号公報の可変長レジスタ装置によると、データ長に応じて使用エリアを区分することができないため、メモリのバンクアドレスの指定に利用が限定され、汎用レジスタとして利用することができない。また、レジスタ長やレジスタ本数の定義は、プロセッサーアーキテクチャ設計の中で重要な意味を持つ。仮に、対象となるアプリケーションの処理時にレジスタに不足が生じた場合は、処理のスループットが低下し、レジスタを冗長に用意した場合は、コスト増に直結する。また、例えば、32ビットアクセスも必要であるが、下位16ビットや下位8ビットのみを処理対象とする場合も多いアプリケーションの場合は、必要なレジスタ本数に対して活用するビット数が少くなり無駄が多い。従って、本発明の目的は、メモリのアドレス指定用として利用できるだけでなく、汎用レジスタとして利用できる可変長レジスタ装置を提供することにある。

## 【0 0 0 4】

【課題を解決するための手段】 本発明は、上記目的を実現するため、所定のビット数のレジスタと、所定のプログラムを格納したメモリと、前記メモリから読み出された前記所定のプログラムを解読して前記レジスタの前記所定のビット数中の使用ビット数と前記使用ビット数の前記レジスタ中のエリアを指定する命令を出力する命令デコーダを備えたことを特徴とする可変長レジスタ装置を提供する。

【0 0 0 5】 上記構成によれば、固定長のレジスタサイズを持つレジスタリソースの任意のエリアをプログラム制御で可変に扱うことによりレジスタ長を可変させ、見掛け上のレジスタ本数を増大させることができる。

## 【0 0 0 6】

【発明の実施の形態】 図1は、本発明による可変長レジスタ装置の実施形態を示すブロック図である。この可変長レジスタ装置1は、可変長レジスタ2、4-1セレクタ3、演算論理回路(ALU)4、4-1セレクタ5がこの順でループ状に接続され、命令メモリ6、命令デコーダ7、シーケンサ8がこの順でループ状に接続されている。そして、演算論理回路(ALU)4の出力の一部がシーケンサ8に与えられ、命令デコーダ7で復号された命令が可変長レジスタ2、4-1セレクタ3、演算論理回路(ALU)4、4-1セレクタ5に与えられる。また、外部機器とは外部インタフェイス10および制御バス11を介して接続されている。

【0 0 0 7】 このような構成において、その概略動作を説明すると、可変長レジスタ2をアクセスするための命令が、命令メモリ6から発行され、命令デコーダ7に入力されて解釈される。その結果、可変長レジスタ2を特定し、その使用エリアを指定する制御信号が、命令デコーダ7で生成され、可変長レジスタ2、4-1セレクタ

3、演算論理回路（ALU）4、4-1セレクタ5に伝達されると共に、シーケンサ8に入力される。

【0008】命令デコーダ7からの命令に従って可変長レジスタ2のデータが、4-1セレクタ3に読み出されて使用エリアの整合がとられ、演算論理回路（ALU）4に入力されて演算処理される。そして、演算処理されたデータが、4-1セレクタ5に読み出されて使用エリアの整合がとられ、可変長レジスタ2に書き戻される。このとき、各種制御フラグ情報が、演算論理回路（ALU）4からシーケンサ8に伝達され、次の命令が実行される。

【0009】図2は、1つの可変長レジスタ2内の使用エリアアサインの一例を示す図である。この例では、32ビット長のレジスタを、8/16/24/32ビットの可変長レジスタとしてアサインする例を示している。この場合、レジスタハードウェアの構成によっては、8ビット毎にリード/ライトイネーブルを用意する必要がある。

【0010】図2において、使用エリア名B0は、ビット0~7の8ビットを使用エリアとし、使用エリア名B1は、ビット8~15の8ビットを使用エリアとし、使用エリア名B2は、ビット16~23の8ビットを使用エリアとし、使用エリア名B3は、ビット24~31の8ビットを使用エリアとする。また、使用エリア名H0は、ビット0~15の16ビットを使用エリアとし、使用エリア名H1は、ビット16~31の16ビットを使用エリアとし、使用エリア名Q0は、ビット0~23の24ビットを使用エリアとし、使用エリア名W0は、ビット0~31の32ビットを使用エリアとする。使用エリア名は併記されているように3ビットのコードで表される。

【0011】上述したように、可変長レジスタ2内の使用エリアの指定は、可変長レジスタ2をアクセスするための命令内で指定され、その際は図2に示す使用エリア名（機械語変換時は同図に示すバイナリ表現）をオペランド内に組み込めば良い。即ち、複数本存在する可変長レジスタ2の内の使用する可変長レジスタ2を特定する識別子と、使用エリアを指定する識別子を組で用いる。1つの可変長レジスタ2内の使用エリアアサイン方法や、可変長レジスタ2の本数および固定長レジスタの併用等は、ターゲットアプリケーションを考慮した上で適切な構成とする。

【0012】図3は、可変長レジスタ装置1の具体的動作を説明するための図である。演算命令として、「ソースAn（B3）+ソースBm（H0）→ディスティネーション（H1）」が、命令メモリ6から発行された場合を説明する。ここで、この演算命令は、ソースAの可変長レジスタ2のn番のB3エリアと、ソースBの可変長レジスタ2のm番のH0エリアとの算術加算を行い、その結果をディスティネーションレジスタのH1エリアに

格納するという意味とする。

【0013】まず、ソースAの可変長レジスタ2のn番のB3エリアのデータと、ソースBの可変長レジスタ2のm番のH0エリアのデータが、4-1セレクタ3に読み出され（ステップS1）、使用エリアの整合がとられる。即ち、ソースA側はB3エリア（ビット24~31の8ビット）を指定しているため、演算論理回路（ALU）4へ入力する前にB0エリア（ビット0~7の8ビット）へ右詰め（シフト）し、未使用エリア（ビット8~31の24ビット）には0を詰める。ソースB側はH0エリア（ビット0~15の16ビット）を指定しているため、右詰め（シフト）は行わないが、未使用エリア（ビット16~31の16ビット）には0を詰める（ステップS2）。

【0014】そして、使用エリアの整合がとられたデータが、演算論理回路（ALU）4に入力されて算術加算され、この演算の結果、発生した各種情報フラグは、シーケンサ8へ伝達される。この例では、キャリーがビット16の位置に発生する（ステップ3）。次に、算術加算されたデータが、4-1セレクタ5に読み出され、使用エリアの整合がとられる。即ち、ディスティネーションレジスタはH1エリア（ビット16~31の16ビット）を指定しているため、H0エリア（ビット0~15の16ビット）からH1エリア（ビット16~31の16ビット）へシフトする。最後に、使用エリアの整合がとられたデータが、ディスティネーションレジスタに格納される。このディスティネーションレジスタはH1エリア（ビット16~31の16ビット）を指定しているため、H1エリアの部分のみ更新すれば良い（ステップS4）。

【0015】以上のような構成の可変長レジスタ装置1によれば、アプリケーションの特性によっては固定長レジスタでは冗長な場合でも、可変長レジスタ2のレジスタ本数を最適化することができる。例えば、データバスが32ビットの場合、通常のプロセッサでは32ビット固定長レジスタを複数本用意する。ところが、アプリケーションによっては32ビット中の一部を処理すれば良い場合がある。即ち、32ビット中の下位8ビットのみが真に必要なデータの場合、上位24ビットは不要であり冗長になる。

【0016】また、32ビット中の下位8ビットのみに真に必要なデータを4組格納する場合、4本の固定長レジスタ（32ビット×4本=128ビット）が必要となり冗長になる。しかし、8ビットアクセスが可能な32ビット可変長レジスタの場合、1本で8ビットのデータを4組格納することができるので、レジスタ本数を最適化することができる。

【0017】さらに、上記のようにレジスタ長やレジスタ本数を可変とすることができるので、スループットを向上させることができる。例えば、32ビット中の下位

8ビットのみが真に必要なデータを4組読み出す場合、32ビット固定長レジスタのときは読み出し動作が4回必要（ハードウェアの構成によっては、シフト／マスク等も必要）であるのに対し、32ビット可変長レジスタに8ビット4組分のデータが予め格納されているときの読み出し動作は1回で完了するので、アクセス回数を削減してスループットを向上させることができる。

【0018】また、例えば、32ビット中の上位16ビットと下位16ビットに別々の演算結果を格納する場合、32ビット固定長レジスタのときは各々の演算終了後にシフト／マスク／論理演算等の余分な操作を行わないで格納できないのに対し、32ビット可変長レジスタのときは各々の演算終了後にそれらの格納位置を直接指定できるので、余分な操作を削減してスループットを向上させることができる。

【0019】さらに、このメリットは、外部メモリを用いる場合にも発揮できる。例えば、外部に32ビットメモリを用意し、32ビットバスを介して内部レジスタへのデータ転送を可能とし、外部32ビットメモリ上の8ビットデータを4組読み出す場合、32ビット固定長レジスタのみを内蔵しているときは、外部32ビットメモリ4ワードの下位8ビットに8ビットデータ4組分のデータを格納し、それを4回のアクセスで32ビット固定長レジスタ4ワードの下位8ビットに取り込むという方法や、外部32ビットメモリ1ワードに8ビットデータ4組分のデータを格納し、それを1回のアクセスで32ビット固定長レジスタ1ワードに取り込み、それを4回の読み出し動作（ハードウェアの構成によっては、シフト／マスク等も必要）で行うという方法をとる必要がある。

【0020】しかし、32ビット可変長レジスタを内蔵しているときは、外部32ビットメモリ1ワードに8ビットデータ4組分のデータを格納し、それを1回のアクセスで32ビット可変長レジスタに取り込めば良いので、余分な操作を削減してスループットを向上させることができる。

【0021】さらに、上記のようにレジスタ長やレジスタ本数を可変とすることで、消費電力を削減することができる。例えば、32ビット中の下位8ビットのみが必要な処理の場合、32ビット可変長レジスタ

のときは使用エリアである下位8ビットのみをアクセスし、上位24ビットをアクセスしなくて良いので、アクセス回数や余分な操作を削減して消費電力を削減することができる。

【0022】尚、例えば、32ビット長のレジスタを8/16/24/32ビットの可変長レジスタとしてアサインするのではなく、8/16/24/32ビットの固定長レジスタを別々に用意し、必要に応じてコンパイラでレジスタ割当てを行うことで、ユーザ側からは可変長レジスタに見せることができる。この場合、ハードウェアの制御がシンプルになるために高速化のメリットがあるが、用意するレジスタの組み合わせは、レジスタの割当てに失敗しないようにするために、アプリケーションを限定し、最適な組み合わせを定義する必要があるため、汎用性を維持することが困難になるというデメリットがある。

【0023】

【発明の効果】以上述べたように、本発明によれば、レジスタ長やレジスタ本数を可変とすることができますので、1レジスタに複数の情報を格納することができ、アクセス回数を減少させ、結果としてスループットの向上や、消費電力の削減を図ることができる。

【図面の簡単な説明】

【図1】本発明による可変長レジスタ装置の実施形態を示すブロック図である。

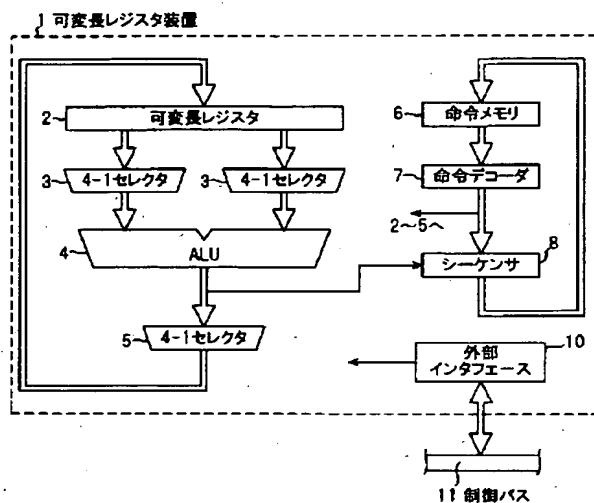
【図2】図1の可変長レジスタ装置の1つの可変長レジスタ内の使用エリアアサインの一例を示す図である。

【図3】図1の可変長レジスタ装置の具体的動作を説明するための図である。

【符号の説明】

- 1 可変長レジスタ装置
- 2 可変長レジスタ
- 3 4-1セレクタ
- 4 演算論理回路 (ALU)
- 5 4-1セレクタ
- 6 命令メモリ
- 7 命令デコーダ
- 8 シーケンサ
- 10 外部インタフェイス
- 11 制御バス

【図 1】

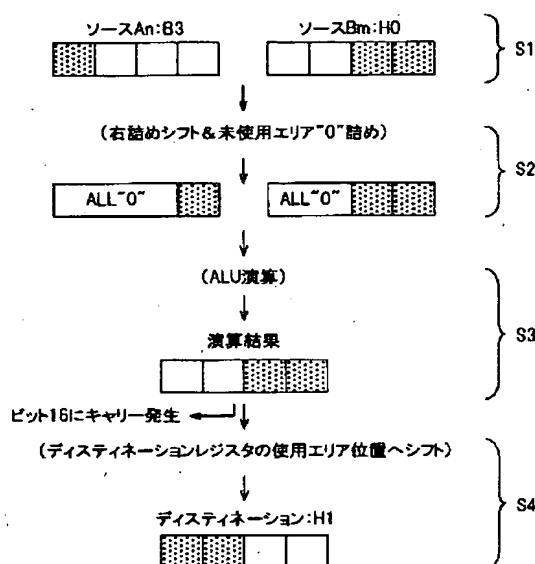


【图2】

使用エリア名	バイナリ表現	使用エリア位置
B0	000	
B1	001	
B2	010	
B3	011	
H0	100	
H1	101	
Q0	110	
W0	111	

【図3】

「ソースAn(B3)+ソースBm(H0)→ディスティネーション(H1)」



## フロントページの続き

(72) 発明者 宇野 浩介  
神奈川県川崎市中原区小杉町一丁目403番  
日本電気テレコムシステム株式会社内

(72) 発明者 志村 直樹  
神奈川県川崎市中原区小杉町一丁目403番  
日本電気テレコムシステム株式会社内

**BEST AVAILABLE COPY**